

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01096943 A**

(43) Date of publication of application: **14.04.89**

(51) Int. Cl

H01L 21/60

(21) Application number: **62254992**

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: **09.10.87**

(72) Inventor: **SUDO TOSHIO
TAKUBO TOMOAKI
SAITO KAZUYOSHI**

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

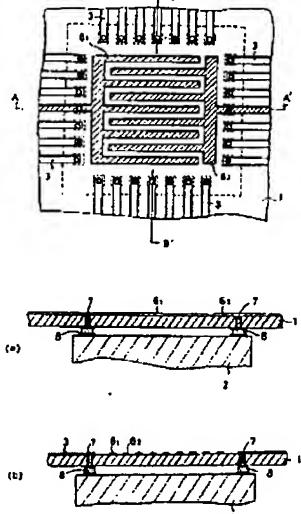
the capacitor for decoupling should be placed closer to the integrated circuit chip.

(57) Abstract:

COPYRIGHT: (C)1989,JPO&Japio

PURPOSE: To stabilize power supply voltage effectively by adopting the film carrier system and by arranging a capacitor for decoupling of comb-type electrode near the position where integrated circuit chip is mounted.

CONSTITUTION: In the TAB substrate, a lead wire was formed on a resin film 1 such as polyimide by photo etching. A capacitor for decoupling with a pattern where comb-type electrodes 6₁ and 6₂ are engaged by etching is formed at the tip of an inner lead part 3 where integrated circuit chip is mounted. One of the electrodes 6₁ and 6₂ is connected to the power supply potential and the other is connected to the grounding potential. An integrated circuit chip 2 is arranged on the surface which is opposite to the one where lead wiring is formed and the inner lead part 3 is connected to a protruded electrode 8 through a through wiring 7. The through wiring 7 should be formed before applying the Cu film to the resin film 1. And the integrated circuit chip 2 and capacitor are arranged to a position where they nearly overlap. Since a rush current flows to the power supply line in the integrated circuit chip,



⑫ Int. Cl. 1
H 01 L 21/60

識別記号

庁内整理番号
R-6918-5F
X-6918-5F

⑬ 公開 平成1年(1989)4月14日

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特願 昭62-254992

⑯ 出願 昭62(1987)10月9日

⑰ 発明者 須藤 俊夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑰ 発明者 田窪 知章 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑰ 発明者 斎藤 和敬 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑰ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑰ 代理人 弁理士 鈴江 武彦 外2名

明細書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

(1) 集積回路チップ載置部を有する、複数のリード配線が形成された樹脂フィルムと、この樹脂フィルムの前記チップ載置部に載置された半導体集積回路チップとを備えた半導体集積回路装置において、前記樹脂フィルム上に樹形状電極によるデカッピング用コンデンサを配設したことを特徴とする半導体集積回路装置。

(2) 前記コンデンサは、前記樹脂フィルムの前記リード配線と同じ面に形成され、前記集積回路チップは前記リード配線と反対側の面に載置される特許請求の範囲第1項記載の半導体集積回路装置。

(3) 前記コンデンサは、前記樹脂フィルムの両面に、互いに異なる電位に設定される電極が対向するように配設される特許請求の範囲第1項記載の半導体集積回路装置。

(4) 前記コンデンサは、前記集積回路チップ載置部の周辺4隅に配置される特許請求の範囲第1項記載の半導体集積回路装置。

(5) 前記コンデンサは、樹形上電極上に誘電体膜が被覆されている特許請求の範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

本発明は半導体集積回路装置に係り、特に GaAs 集積回路に代表される高速動作の集積回路の実装構造に関する。

(従来の技術)

高速論理動作を行う半導体集積回路として GaAs 集積回路が知られている。近年、 GaAs MESFET を集積して、スイッチング速度 100 psec 程度の高速動作を実現したものが得られている。しかしこの様な高速動作を行う集積回路チップを従来のパッケージに搭載した場合、チップ単体で得られる高速性能が引出されな

いという問題がある。その性能劣化の原因の一つとして、集積回路チップ内の論理素子が高速スイッチング動作を行なう際に電源線に急峻な過渡電流が流れ、インダクタンス成分の影響で電源電位の低下をもたらすことが挙げられる。電源線のインダクタンスは、パッケージ内の配線部のインダクタンス分と、集積回路チップと配線部を接続するボンディング・ワイヤのインダクタンス分がある。ボンディング・ワイヤのインダクタンス分は通常、1 μ m当たり0.5~1 nHという値であり、ワイヤ長を1~2 μ mとすると1~2 nHとなる。パッケージ内電源配線のインダクタンス成分を合せて仮に、2 nHとし、スイッチング時間100 psecの間に流れる電流を10 mAとすると、このとき電源電圧降下は、 $L \cdot di/dt$ により計算して約200 mVとなる。GaAs MESFETを用いた論理回路はノイズマージンが小さいため、この程度の電源変動でも動作が不安定になる。

従来一般にこの様な電源電圧変動に対しては、

れたものである。この実装方式は、フィルムキャリア等とも称される。この様なTAB方式の集積回路構造において本発明は、樹脂フィルム上に樹形電極によるデカップリング用コンデンサを搭載したことを特徴とする。

(作用)

この様にTAB基板(フィルムキャリア)を用いれば、基板上のリード配線と集積回路チップ間の接続は突起電極により行われるためにインダクタンス成分が小さくなり、またデカップリング用コンデンサを集積回路チップの近傍に配置することによって、樹脂フィルム上のリード配線のインダクタンス成分の影響も非常に少なくすることができる。

(実施例)

以下、本発明の実施例を説明する。

第1図(a)(b)は、本発明の一実施例のGaAs集積回路実装構造を示す平面図である。GaAs集積回路は例えば、GaAs MESFETを用いた、スイッチング速

パッケージ外部に電源線と接地線間にデカップリング用コンデンサを設けることが行われている。しかし、GaAs論理回路その他の高速集積回路では、パッケージ外部にコンデンサを接続しても、パッケージ内部の電源線の持つインダクタンスの影響を充分補償することができない。

(発明が解決しようとする問題点)

以上のように高速動作を行なう集積回路では、電源線のインダクタンスによりその本来持っている高速性を充分に發揮させることができない、という問題があった。

本発明はこの様な問題を解決した半導体集積回路装置を提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

本発明では、半導体集積回路チップの実装にTAB(Tape Automated Bonding)方式を採用する。TAB基板は、テープ状の樹脂フィルムに集積回路チップの載置部と、集積回路チップと接続される金属箔からなるリード配線が形成さ

度10 psec以下の高速動作をおこなうマルチブレクサである。TAB基板は、ポリイミド或いはガラスエポキシ等の樹脂フィルム1に、フォト・エッティングを利用してリード配線を形成したものである。通常長尺のテープ状フィルムに繰返し配線パターンが形成されており、これに集積回路チップが次々に搭載される。第1図ではその1チップ搭載部とその周辺のリード配線部を示している。配線は、最終的に集積回路としてキャリアから切離される領域(一点鎖線で示す)内部のインナーリード部3、外部のアウターリード部及び測定用パッド部5からなる。インナーリード部3の先端の集積回路チップ載置部に、樹形電極6₁、6₂を噛合わせたバターンのデカップリング用コンデンサが構成されている。電極6₁、6₂の一方は電源電位に、他方は接地電位に接続される。これらリード配線及びコンデンサを構成する樹形電極6₁、6₂は、樹脂フィルム1上に貼り付けたCu膜をエッティングして得られる。

第2図は第1図の要部を拡大して示す平面図で

あり、第3図(a) (b)はそのA-A'及びB-B'断面図である。集積回路チップ2は第3図に明らかなように、樹脂フィルム1のリード配線形成面と反対側の面に配置され、インナー・リード部3は、樹脂フィルム1に形成されたスルー配線7を介して、チップ2上の突起電極8に接続されている。スルー配線7は、樹脂フィルム1にCu膜を貼る前に予め形成しておく。突起電極8は集積回路チップ2上ではなく、樹脂フィルム1上に形成しておいてもよく、その構造もAuバンプやハンダバンプなど、如何なるものでもよい。例えば、集積回路チップ2上に形成する場合には、Ti-Pt-Au, Cr-Cu-Auなどのバリア金属層を介してAuメッキを行なって、突起電極8が得られる。この突起電極8と接する部分の樹脂フィルム1には、SnメッキあるいはAuメッキを施しておく。集積回路チップ2と樹脂フィルム1の接合は、熱せられたツールを樹脂フィルム上面から押し当てることにより行われる。ツールの熱は、スレー配線7を通じ突起電極8までよ

く伝わり、良好な接合が行われる。

デカップリング用コンデンサの電極6₁, 6₂は前述のようにそれぞれ電源線、接地線に接続される。そして集積回路チップ2とコンデンサはほぼ重なる位置に配置される。集積回路チップでは電源線に急峻な電流が流れるため、デカップリング用コンデンサはできるだけ集積回路チップに近い位置に配置することが望ましいが、この実施例でこれが実現されている。

第4図は、この実施例による集積回路の等価回路である。図示のように、集積回路チップ2の電源Pと接地線Qの間にデカップリング用コンデンサCが接続された形になる。

以上のようにこの実施例では、TAB方式を用いてその樹脂フィルム上に樹形電極によるデカップリング用のコンデンサを形成している。従ってリード配線のインダクタンス成分の影響を除去し、電源電圧の安定化によって集積回路チップの高速性を充分に発揮させることができる。特にこの実施例ではデカップリング用コンデンサは、集積回

路チップ搭載領域内に形成されているので、樹脂フィルム上で格別の面積を占有する訳ではなく、リード配線の高密度化を損うこともない。

本発明は、樹脂フィルムの両面にデカップリング用コンデンサを形成することも有効である。その実施例の構造を第5図(a) (b)に示す。第5図(a) (b)はそれぞれ、先の実施例の第2図(a) (b)に対応する断面図である。先の実施例と同様に樹脂フィルム1の上面に樹形電極6₁, 6₂によりデカップリング用コンデンサを形成すると同時に、これと対向させて樹脂フィルム1の下面にも樹形電極6₁', 6₂'によるデカップリング用コンデンサを形成している。この場合より厳密には、上面の電源線に接続される電極6₁と下面の接地線に接続される電極6₂'が対向し、上面の接地線に接続される電極6₂と下面の電源線に接続される電極6₁'が対向するように、両面の樹形電極パターンを重ね合せる。

この実施例によても先の実施例と同様の効果が得られる。特にこの実施例では、上面の電極と

下面の電極とは互いに異なる電位に設定されるものの同士が対向するようにパターン設計することによって、樹脂フィルム1の厚みが容量として入るため、先の実施例に比べて2倍以上の大きい容量を得ることができる。

第6図は、他の実施例の平面図を第1図に対応させて示す。この実施例では、樹脂フィルム1の集積回路チップ載置部に孔を有し、この部分にリード配線の先端が舌片として突出している。このリード配線の舌片を集積回路チップの突起電極に接続するように、集積回路チップ5が載置される。この様な構成において、デカップリング用のコンデンサは、孔が開いた集積回路チップ載置部の4隅に、樹形電極6₁, 6₂により形成されている。

この実施例によっても先の実施例と同様の効果が得られる。

第7図は、更に他の実施例の第2図(a)に対応する断面図である。この実施例では、第1図の実施例に加えて、樹形電極6₁, 6₂の領域上に誘電体膜9を形成している。誘電体膜9は例えば、

B₂T₁O₃、Ta₂O₅、TiO₂等の高誘電率の酸化物膜をスパッタにより形成する。このとき、樹形電極パターン領域上に選択的に誘電体膜9を形成するために、例えばメタルマスクを用いる。樹形電極パターンの形成領域を例えば8隅角とし、電極の幅W=50μm、スペースS=50μmとすると、約40対の電極パターンをこの領域に形成できる。そしてこの上に誘電体膜を被覆することにより、大きい容量を得ることができる。

第8図はこの実施例において、誘電体膜9としてTa₂O₅膜を用いた場合の、その膜厚と容量の関係を示したものである。これから、適当な膜厚の誘電体膜を重ねることにより大きい容量が得られることがわかる。誘電体膜9は、厚膜により形成してもよい。

第9図は更に他の実施例である。電極パターンは若干異なるが、基本的に第3図の構造をベースとし、その4隅のデカップリング用コンデンサ上に先の実施例と同様に誘電体膜9を形成したもの

である。

この実施例によっても、先の実施例と同様の効果が得られる。

【発明の効果】

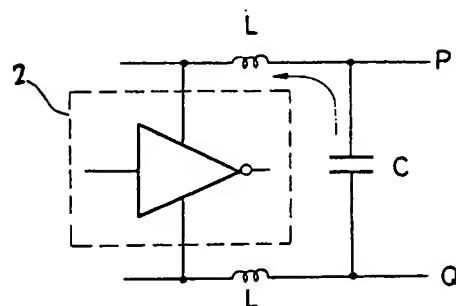
以上述べたように本発明によれば、TAB方式を採用してその集積回路チップ載置位置近傍に樹形電極によるデカップリング用コンデンサを配置することにより、効果的に電源電圧の安定化が図られ、集積回路チップのもつ高速性能を充分に発揮させることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例のGaAs論理集積回路の構成を示す平面図、第2図はその要部の拡大平面図、第3図(a)、(b)はそれぞれ第2図のA-A'、B-B'断面図、第4図は本発明の原理を説明するための等価回路図、第5図(a)、(b)は他の実施例の集積回路を示す、それぞれ第3図(a)、(b)に対応する断面図、第6図は他の実施例の集積回路を示す平面図、第7図は更に他の実施例の集積回路を示す断面図、

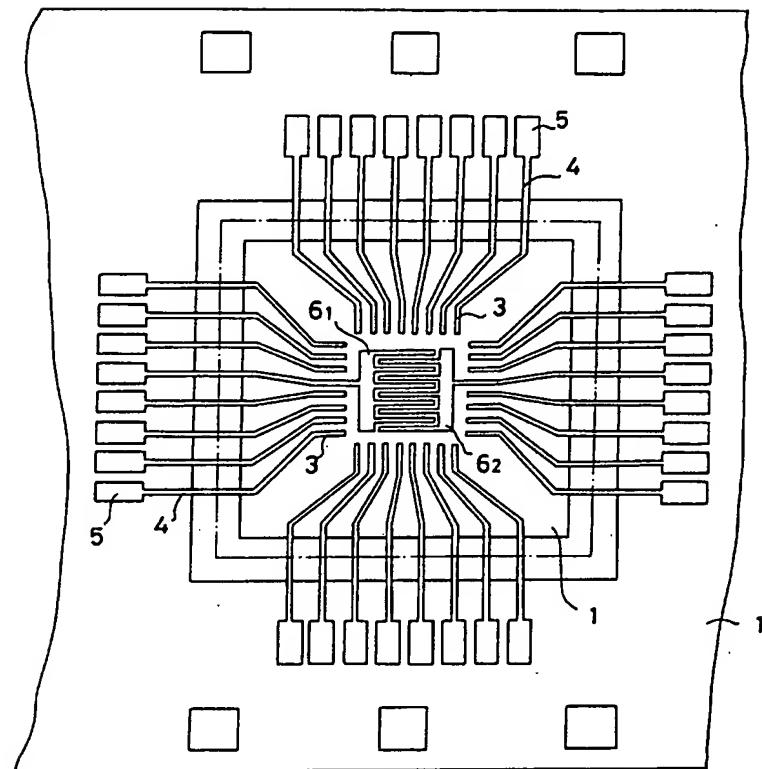
第8図は誘電体膜被覆の効果を示す特性図、第9図は更に他の実施例の集積回路を示す平面図である。

1…樹脂フィルム、2…集積回路チップ、3、4、5…リード配線、6₁、6₂…樹形電極、6₁'、6₂'…樹形電極、7…スルー配線、8…突起電極、9…誘電体膜。

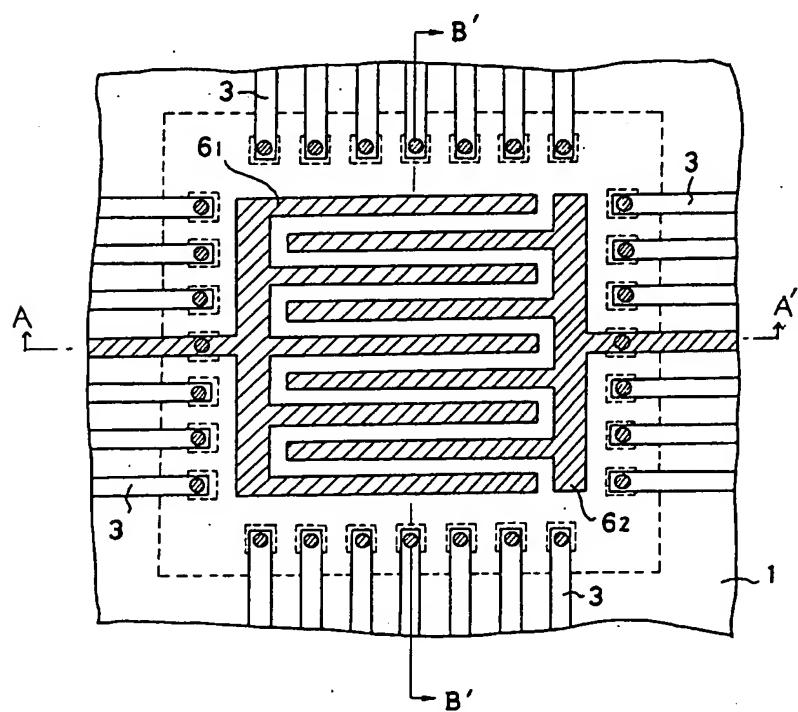


第4図

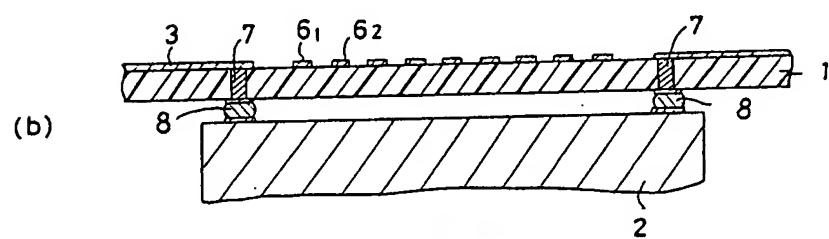
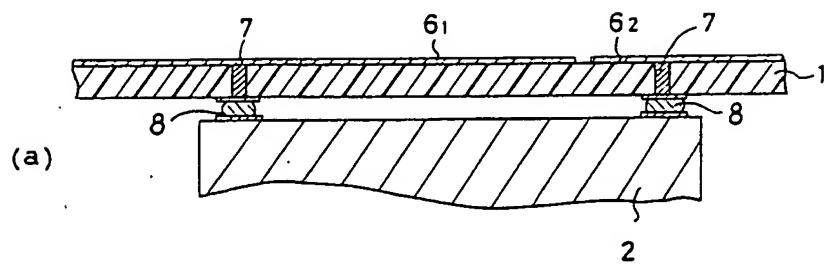
出版人代理人 弁理士 鈴江武彦



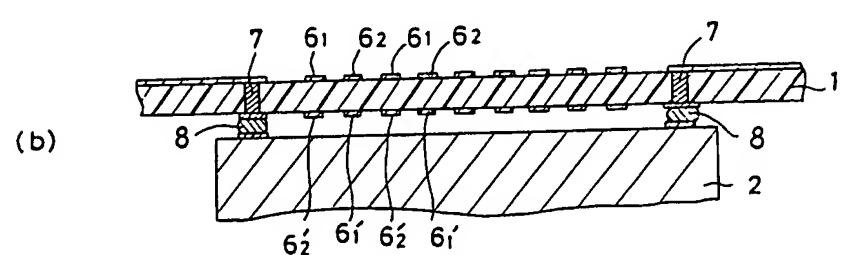
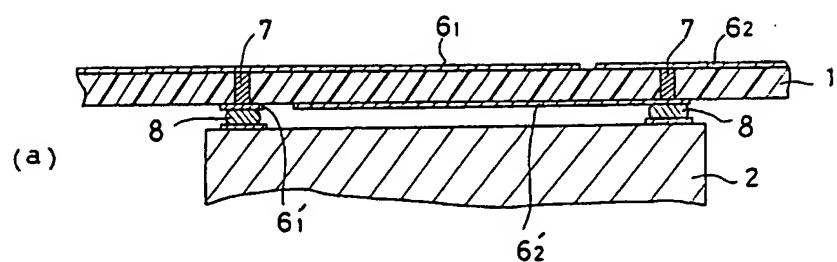
第 1 図



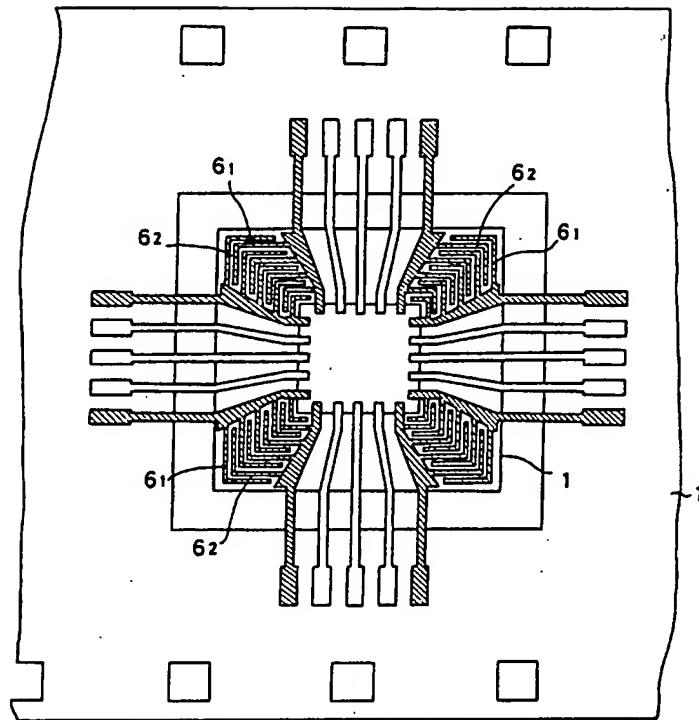
第 2 図



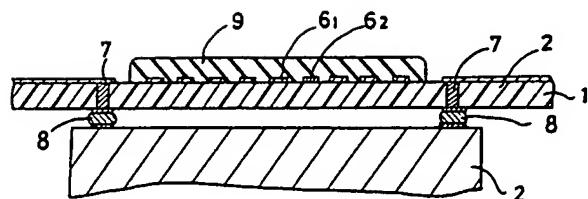
第 3 図



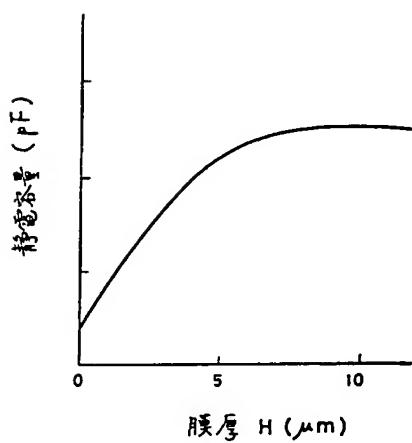
第 5 図



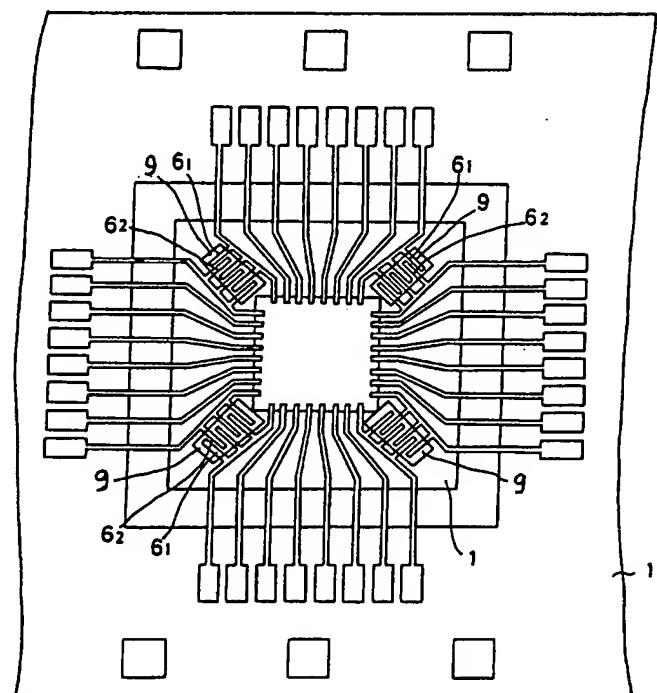
第 6 図



第 7 図



第 8 図



第 9 図